Tampering detection circuit for IC has detection circuit coupled to signal line and at least one line pair extending between separate circuit blocks of IC

Publication number: DE10044837
Publication date: 2001-09-13
Inventor: GAMMEL BERNDT (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- international: ***G06F21/22; G06F1/00; G06F21/00; H01L21/822; H01L23/58; H01L27/04;*** *G01R31/317;* **G06F21/22; G06F1/00; G06F21/00; H01L21/70; H01L23/58; H01L27/04;** G01R31/28; (IPC1-7): G06F12/14; G08B21/00; H01L23/58
- european: H01L23/58; G06F21/00N1C4
Application number: DE20001044837 20000911
Priority number(s): DE20001044837 20000911

Also published as:

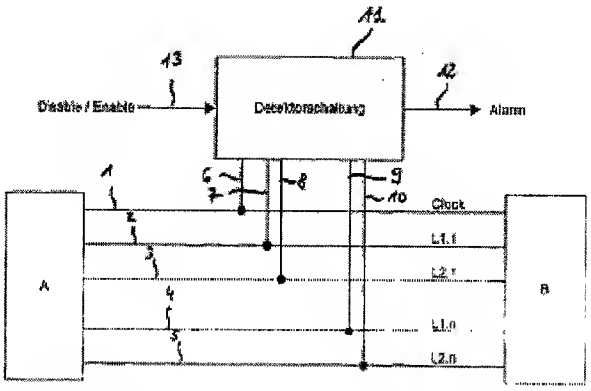
WO0221241 (A3)
WO0221241 (A2)
US7106091 (B2)
US2003218475 (A1)
MXPA03002064 (A)

more >>

Report a data error here

Abstract of **DE10044837**

The tampering detection circuit has a signal line (1) supplied with a clock signal and at least one line pair (2,3; 4,5) for coding a bit connected between 2 separate circuit blocks (A,B) of the protected IC. The signal line and at least one line pair are coupled to a detector circuit (11) which exhibits a variation in its function sequence dependent on the signals obtained from the signal line and the line pair. An Independent claim for a tampering detection method for an IC is also included.



Data supplied from the ***esp@cenet*** database - Worldwide

(19) BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES PATENT- UND MARKENAMT

(12) **Patentschrift**

(10) **DE 100 44 837 C 1**

(51) Int. Cl.[7]:
G 06 F 12/14
H 01 L 23/58
G 08 B 21/00

(21) Aktenzeichen: 100 44 837.2-53
(22) Anmeldetag: 11. 9. 2000
(43) Offenlegungstag: –
(45) Veröffentlichungstag der Patenterteilung: 13. 9. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

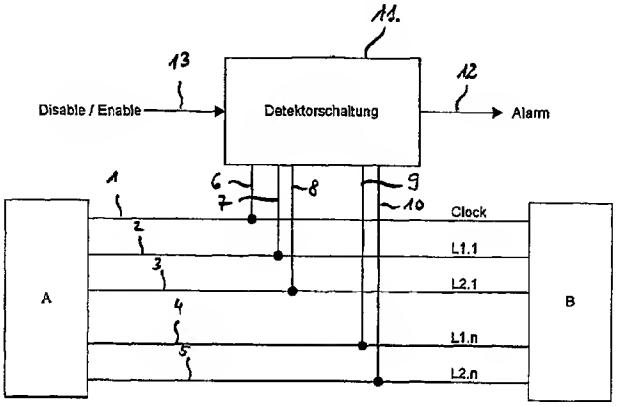
(74) Vertreter:
Epping, Hermann & Fischer, 80339 München

(72) Erfinder:
Gammel, Berndt, 81737 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
NICHTS ERMITTELT

(54) Schaltungsanordnung und Verfahren zum Detektieren eines unerwünschten Angriffs auf eine integrierte Schaltung

(57) Die Erfindung schlägt eine Schaltungsanordnung zum Detektieren eines unerwünschten Angriffs auf eine integrierte Schaltung vor, wobei die Schaltungsanordnung eine Signalleitung, die mit einem Taktsignal beaufschlagt ist, wenigstens ein Leitungspaar, das jeweils zur Codierung eines Bits dient, aufweist, wobei die Signalleitung und das wenigstens eine Leitungspaar zwischen einem ersten und einen zweiten Schaltungsblock der integrierten Schaltung verschalten sind. Die Signalleitung und das wenigstens eine Leitungspaar sind mit einer Detektorschaltung verbunden, die in Abhängigkeit der Signale der Signalleitung und des wenigstens einen Leitungspaares die integrierte Schaltung in ihrem Funktionsablauf ändert. Die Detektorschaltung kann gleichermaßen zum Test auf Produktionsfehler verwendet werden.



DE 100 44 837 C 1

DE 100 44 837 C 1

Beschreibung

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zum Detektieren eines unerwünschten Angriffs auf eine integrierte Schaltung mit einer Signalleitung, die mit einem Taktsignal beaufschlagt ist sowie mit wenigstens einem Leitungspaar, das jeweils zur Codierung eines Bits dient, wobei die Signalleitung und das wenigstens eine Leitungspaar zwischen einem ersten und einem zweiten Schaltungsblock der integrierten Schaltung verschalten sind.

Viele Schaltungen, die zum Beispiel in Mikroprozessoren, Security Token oder anderen Datenverarbeitungseinheiten eingesetzt werden, benötigen eine vor physikalischen Angriffen und vor Abhören gesicherte Verarbeitung von Daten auf einem hohen Sicherheitsniveau. Ein derartiger Angriff ist durch Analyse der integrierten Schaltung mittels "Reverse Engineering" möglich. Mittels dieser Analyse ist es möglich, sowohl die Funktionsweise der integrierten Schaltung zu analysieren als auch die Funktionsweise zum Zwecke einer Manipulation eines Dateninhaltes oder des Funktionsablaufes zu beeinflussen.

In der Praxis existieren bereits verschiedene Verfahren, mit denen eine derartige Analyse zumindest erschwert werden kann.

Zum Beispiel ist es bekannt, die integrierte Schaltung mit einem sogenannten "Shield" abzudecken. Ein Shield besteht dabei aus wenigstens zwei über der integrierten Schaltung – in der Regel mäanderförmig – verlaufenden Leiterbahnen. Eine Unterbrechung oder ein Kurzschluß dieser Leiterbahnen wird durch eine Auswerteschaltung detektiert, die dann die integrierte Schaltung in einen sicheren Zustand verbringt. Dies könnte beispielsweise das Auslösen eines Resets oder das Löschen von Speicherinhalten sein.

Weiterhin sind Verfahren bekannt, mit dem die Entfernung eines aus Pressmasse bestehenden Kunststoffgehäuses detektiert werden kann. Dabei wird die sich ändernde Kapazität zwischen zwei Leiterzügen beim Entfernen der Kunststoffpressmasse detektiert. Zu diesem Zweck ist eine Mehrzahl an Sensoren in dem Kunststoffpressmassengehäuse vorgesehen.

Weiterhin gibt es Verfahren, die die Entfernung der Passivierungsschicht über die Chipoberfläche detektieren.

Um kryptoanalytische Angriffe abzuwehren, werden integrierte Schaltungen in sicherheitsrelevanten Einsatzgebieten oftmals in der als "Dual-Rail with Precharge" bekannten Schaltungstechnik realisiert. Ein Bit wird dabei mittels zweier komplementärer Leitungen codiert. In einer ersten Taktphase, der sogenannten "Precharge Phase" werden die beiden komplementären Leitungen vorgeladen (Logisch 1 oder High), wodurch vorher gespeicherte Informationen gelöscht werden. In der zweiten Taktphase, der sogenannten "Evaluation Phase" wird eine der beiden Leitungen entladen (Logisch 0 oder Low) und in der nächsten Taktflanke ausgewertet.

All die oben genannten Detektionsverfahren dienen dazu, einen Zugriff auf die Leiterzüge der integrierten Schaltung zu verhindern. Sobald diese Hürden übersprungen sind, können die über die Leiterzüge der integrierten Schaltung gesendeten Daten analysiert oder manipuliert werden. Letzteres kann z. B. durch Aufprägen einer Spannung oder durch Durchtrennen von Leitungen geschehen.

Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine Schaltungsanordnung sowie ein Verfahren zum Detektieren eines unerwünschten Angriffs auf eine integrierte Schaltung anzugeben, die einen verbesserten Schutz ermöglicht.

Diese Aufgabe wird mit den Merkmalen des Patentanspruches 1, der die Schaltungsanordnung wiedergibt, sowie mit den Merkmalen des Patentanspruches 4, in welchem das Verfahren wiedergegeben ist, gelöst. Vorteilhafte Ausgestaltungen ergeben sich aus den untergeordneten Ansprüchen.

Die integrierte Schaltung bedient sich dabei der oben genannten "Dual-Rail with Precharge"-Technologie, das heißt zur Codierung eines Bits wird ein Leitungspaar verwendet. Die integrierte Schaltung kann dabei eine Vielzahl an Leitungspaaren aufweisen. Erfindungsgemäß ist vorgesehen, daß eine Signalleitung, die mit einem Taktsignal beaufschlagt ist, und das wenigstens eine Leitungspaar mit einer Detektorschaltung verbunden sind, die in Abhängigkeit der Signale der Signalleitung und des wenigstens einen Leitungspaares die integrierte Schaltung in ihrem Funktionsablauf ändert.

In einer Variante ist jede Leitung des wenigstens einen Leitungspaares direkt mit der Detektorschaltung verbunden. Alternativ können die Leitungspaare bei einem Multiplexer mit der Detektorschaltung verbunden sein. Die Signalleitung, die mit einem Taktsignal beaufschlagt ist, ist in jeder der beiden Varianten mit der Detektorschaltung verbunden.

Die erfindungsgemäße Schaltungsanordnung macht sich dabei den Umstand zu Nutze, daß den gültigen Zuständen bei der "Dual-Rail with Precharge"-Technologie den gültigen logischen Zuständen fünf verbotene Zustände gegenüberstehen. Diese werden durch die Detektorschaltung ermittelt, wodurch im Bedarfsfall der Funktionsablauf der integrierten Schaltung geändert werden kann.

Neben der Detektion von verbotenen Zuständen im Betrieb der geschützten Schaltung, die auf einen physikalischen Angriff (zum Beispiel mittels Nadeln, FIB "Focused Ion Beam", Licht-, Temperatur-, Spannungsmanipulation) hinweisen, kann die erfindungsgemäße Schaltungsanordnung bereits beim Produktionstest, das heißt dem Selbsttest der Schaltung, aktiviert werden. Hierdurch können Produktionsfehler, zum Beispiel Stuck-At-One oder Stuck-At-Zero-Fehler, detektiert werden. Da bei der Produktion der integrierten Schaltung davon ausgegangen werden kann, daß keine Angriffe vorliegen, weisen ungültige Werte bei den Leitungspaaren auf eine Fehlfunktion, zum Beispiel einen Kurzschluß hin.

Die erfindungsgemäße Schaltungsanordnung ist vorteilhafterweise äußerst einfach aufgebaut, da sie zusätzlich lediglich eine Detektorschaltung benötigt, welche mit den Leitungspaaren und der Signalleitung, die mit einem Taktsignal beaufschlagt ist.

Die Funktionsweise der erfindungsgemäßen Schaltungsanordnung wird aus dem nachfolgend beschriebenen Verfahren deutlich.

Bei einem ersten Signalwert der Signalleitungen werden die zwei Leitungen eines Leitungspaares auf einen gleichen Signalpegel hin detektiert. Bei einem zweiten Signalwert der Signalleitung werden die zwei Leitungen eines Leitungspaares auf einen unterschiedlichen Signalpegel hin detektiert, wobei bei einer Abweichung von den erwarteten Ergebnissen die integrierte Schaltung in ihrem Funktionsablauf geändert wird.

Mit anderen Worten bedeutet dies, daß bei einem der fünf verbotenen Zustände, die nachfolgend näher erläutert werden, ein Funktionsablauf der integrierten Schaltung herbeigeführt wird. Das erfindungsgemäße Verfahren bedient sich dabei der Überwachung des Ladungszustandes (Signalpegel) der beiden Leitungen eines Leitungspaares, wobei die Überprüfung der verbotenen Zustände mittels einer Zustands- oder Gültigkeitstabelle dargestellt werden kann. Die schaltungstechnische Realisierung der Gültigkeitstabelle stellt eine Standardaufgabe dar und wird hier deshalb nicht näher erläutert.

Die Precharge-Phase kann prinzipiell wahlweise bei ei-

nem ersten Signalwert Logisch 0 oder Logisch **1** festgelegt werden.

Vorteilhafterweise ist der erste Signalwert der Signalleitung Logisch 0. In diesem Fall entspricht die Zustandstabelle dem üblichen Vorgehen bei der "Dual-Rail with Precharge"-Technologie.

Während an der Signalleitung der erste Signalwert anliegt, ist der Signalpegel der zwei Leitungen eines Leitungspaares in einer Ausgestaltung jeweils Logisch 0 oder jeweils Logisch **1**. Durch einen dieser beiden Zustände wird somit ein gültiger "Precharge" festgelegt. Die jeweils drei anderen verbleibenden Zustände definieren somit die verbotenen Zustände.

Entsprechend ist der zweite Signalwert der Signalleitung Logisch **1** oder Logisch 0. Der zweite Signalwert ist somit grundsätzlich komplementär zu dem ersten Signalwert der Signalleitung.

Während der zweite Signalwert der Signalleitung anliegt, ist der Signalwert der ersten Leitung eines Leitungspaares Logisch 0 oder 1, während der Signalpegel der zweiten Leitung Logisch **1** oder 0, also komplementär, ist.

Ein verbotener Zustand liegt folglich dann vor, wenn während des zweiten Signalwertes der Signalleitung an beiden Leitungen eines Leitungspaares ein identischer Wert anliegt. Insgesamt ergeben sich somit fünf verbotene Zustände.

Das erfindungsgemäße Vorgehen wird anhand der nachfolgenden Figuren weiter erläutert. Es zeigen:

Fig. 1 ein erstes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung,

Fig. 2 ein zweites Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung,

Fig. 3 einen beispielhaften Signalverlauf der Signalleitung sowie zweier Leitungspaare, und

Fig. 4 bis 7 vier Zustandstabellen.

Fig. 1 zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung zum Detektieren eines unerwünschten Angriffs auf eine integrierte Schaltung. Die integrierte Schaltung wird in der vorliegenden **Fig.** 1 beispielhaft durch die Schaltungsblöcke A, B dargestellt, zwischen denen sich Leiterzüge **1** bis **5** befinden. Der Leiterzug **1** stellt dabei die Signalleitung "Clock" dar, die mit einem Taktsignal beaufschlagt ist. Weiterhin sind beispielhaft zwei Leitungspaare L1.1, L2.1 sowie L1.n, L2.n dargestellt. Zwischen den Schaltungsblöcken A, B können somit im vorliegenden Beispiel zwei Bit übertragen werden. Prinzipiell können natürlich beliebig viele Leitungspaare zwischen den Schaltungsblöcken A und B verschalten sein.

Erfindungsgemäß ist zur Überwachung der Leiterzüge eine Detektorschaltung **11** vorgesehen. Jede der Signalleitungen **1** bis **5**, die zwischen den Schaltungsblöcken A, B verschalten ist, ist mit der Detektorschaltung **11** verbunden. Dies wird durch die Leiterzüge **6** bis **10** dargestellt. Im Falle eines verbotenen Zustandes kann die Detektorschaltung **11** über eine Leitung **12** einen Alarm auslösen, wodurch die integrierte Schaltung beispielsweise neu gestartet werden kann oder sicherheitsrelevante Daten gelöscht werden können.

Weiterhin ist es denkbar, die Detektorschaltung **11** selektiv mittels einer Signalleitung **13** zu aktivieren oder zu deaktivieren.

In dem ersten Ausführungsbeispiel nach **Fig.** 1 ist jede der Signalleitungen **1** bis **5** direkt mit der Detektorschaltung **11** verbunden. In dem Ausführungsbeispiel nach **Fig.** 2 ist lediglich die Signalleitung **1**, an der das Taktsignal anliegt, über die Signalleitung **6** direkt mit der Detektorschaltung **11** verbunden. Die Leitungspaare L1.1, L2.1 sowie L1.n, L2.n sind hingegen über einen Multiplexer **14** mit der Detektorschaltung **11** verbunden.

Während in der **Fig.** 1 eine Überprüfung aller Leitungspaare gleichzeitig erfolgen kann, werden die Leitungspaare in der **Fig.** 2 nacheinander auf einen verbotenen Zustand hin überprüft. Da die Funktionsweise eines Multiplexers aus dem Stand der Technik hinlänglich bekannt ist, wird an dieser Stelle auf eine ausführliche Beschreibung der Funktionsweise verzichtet.

Anhand der Zustandstabellen in den **Fig.** 4 bis 7 kann die Funktionsweise der erfindungsgemäßen Schaltungsanordnung besser verstanden werden. In der ersten Spalte ist die Nummer eines möglichen Zustands gekennzeichnet. Die Spalten **2** bis **4** bezeichnen mögliche Zustände der Signalleitung Clock sowie der zwei Leitungen eines Leitungspaares, die im vorliegenden Fall mit L1.k, L2.k gekennzeichnet sind. Der Platzhalter k steht dabei stellvertretend für Leitungspaare **1** bis n. In der letzten Spalte ist der logische Wert, der von der Detektorschaltung **11** überwacht wird, angegeben.

Während der ersten vier Zustände (Zustandsnummer **1** bis **4**) befindet sich die Signalleitung Clock in der sogenannten Precharge-Phase. Während dieser Phase müssen die Ladungszustände der zwei Leitungen eines Leitungspaares L1.k, L2.k identische Werte aufweisen. In den **Fig.** 4 und 6 ist dies der Fall, wenn L1.k und L2.k den Wert Logisch **1** aufweisen, während dies in den **Fig.** 5 und 7 bei einem Wert von Logisch 0 der Fall ist.

In der sogenannten "Evaluation Phase" (Zustandsnummer **5** bis **8**) dürfen die Leitungen L1.k, L2.k keinen identischen Ladungszustand aufweisen. In diesem Fall liegt ein Fehler oder ein Angriff vor. Wahlweise ist es möglich, der Zustandsnummer **6** einen logischen Wert von 0 oder 1 zuzuweisen. Dementsprechend beträgt der logische Wert bei der Zustandsnummer 7 1 oder 0, das heißt er ist komplementär zu dem logischen Wert der Zustandsnummer **6**.

Die Verwendung der in den **Fig.** 4 und 5 gezeigten Zustandstabellen für das erfindungsgemäße Detektionsverfahren ist vorteilhaft, da die Precharge Phase bei einem logischen Wert 0 der Signalleitung Clock durchgeführt wird. Alternativ ist es natürlich auch denkbar, die Precharge Phase bei einem Wert Logisch **1** und die Evaluation Phase bei einem Wert Logisch 0 durchzuführen. Dies ist in den Zustandstabellen **6** und **7** gezeigt.

In **Fig.** 3 ist ein beispielhafter Signalverlauf der Signalleitung "Clock" sowie zweier Leitungspaare L1.1, L2.1 sowie L1.n, L2.n dargestellt. Für die Überprüfung, ob ein verbotener Zustand, zum Beispiel ein Fehler oder ein Angriff vorliegt, müssen grundsätzlich die Signale der Signalleitung sowie die Signale eines Leitungspaares miteinander verglichen werden. Der in der **Fig.** 3 gezeigte Signalverlauf wird nach der Zustandstabelle gemäß **Fig.** 4 ausgewertet. Somit liegt bei dem ersten Leitungspaar bereits während des ersten Signalwertes der Signalleitung "Clock" (Taktphase T_0) ein Fehler vor, da die zweite Leitung L2.1 während der "Precharge Phase" keinen identischen Signalwert annimmt. Während der Taktphasen T_7, beziehungsweise T_9 liegt während der "Evaluation Phase" jeweils ein Fehler vor, da dort die Signalzustände der beiden Leitungen des Leitungspaares **1** einen identischen Ladungszustand aufweisen, was gemäß der Zustandstabelle nach **Fig.** 4 verboten ist. Ein weiterer Fehler findet sich während der Taktphase T_{10}.

Der Signalverlauf des n-ten Leitungspaares hingegen ist, wie ein Vergleich mit der Zustandstabelle gemäß **Fig.** 4 zeigt, in Ordnung.

Patentansprüche

1. Schaltungsanordnung zum Detektieren eines uner-

wünschten Angriffs auf eine integrierte Schaltung (A, B) mit

- einer Signalleitung (**1**), die mit einem Taktsignal beaufschlagt ist,
- wenigstens einem Leitungspaar (**2**, **3**; **4**, **5**), das jeweils zur Codierung eines Bits dient,

wobei die Signalleitung (**1**) und das wenigstens eine Leitungspaar (**2**, **3**; **4**, **5**) zwischen einem ersten und zweiten Schaltungsblock (A, B) der integrierten Schaltung verschalten sind,

dadurch gekennzeichnet, daß

die Signalleitung (**1**) und das wenigstens eine Leitungspaar (**2**, **3**; **4**, **5**) mit einer Detektorschaltung (**11**) verbunden sind, die in Abhängigkeit der Signale der Signalleitung (**1**) und des wenigstens einen Leitungspaares (**2**, **3**; **4**, **5**) die integrierte Schaltung in ihrem Funktionsablauf ändert.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß jede Leitung des wenigstens einen Leitungspaares (**2**, **3**; **4**, **5**) direkt mit der Detektorschaltung (**11**) verbunden ist.

3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Leitungspaare (**2**, **3**; **4**, **5**) über einen Multiplexer mit der Detektorschaltung verbunden sind.

4. Verfahren zum Detektieren eines unerwünschten Angriffs auf eine integrierte Schaltung, die zur Übertragung je eines Bits zwischen einem ersten und einem zweiten Schaltungsblock ein Leitungspaar (**2**, **3**; **4**, **5**) aufweist und die eine Signalleitung (**1**), die mit einem Taktsignal beaufschlagt ist, aufweist, bei dem

a) bei einem ersten Signalwert der Signalleitung (**1**) die zwei Leitungen eines Leitungspaares (**2**, **3**; **4**, **5**) auf einen gleichen Signalpegel hin detektiert werden,

b) bei einem zweiten Signalwert der Signalleitung (**1**) die zwei Leitungen eines Leitungspaares (**2**, **3**; **4**, **5**) auf einen unterschiedlichen Signalpegel hin detektiert werden,

wobei bei einer Abweichung von den in den Schritten a) und/oder b) erwarteten Ergebnissen die integrierte Schaltung ihrem Funktionsablauf geändert wird.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß der erste Signalwert der Signalleitung (**1**) Logisch 0 oder Logisch **1** ist.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß der Signalpegel der zwei Leitungen eines Leitungspaares (**2**, **3**; **4**, **5**) jeweils Logisch 0 oder jeweils Logisch **1** ist.

7. Verfahren nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß der zweite Signalwert der Signalleitung (**1**) Logisch **1** oder Logisch 0 ist.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der Signalpegel der ersten Leitung eines Leitungspaares (**2**, **3**; **4**, **5**) Logisch 0 oder 1 ist, während der Signalpegel der zweiten Leitung Logisch **1** oder 0 ist.

Hierzu 4 Seite(n) Zeichnungen

Nummer: DE 100 44 837 C1
Int. Cl.[7]: G 06 F 12/14
Veröffentlichungstag: 13. September 2001

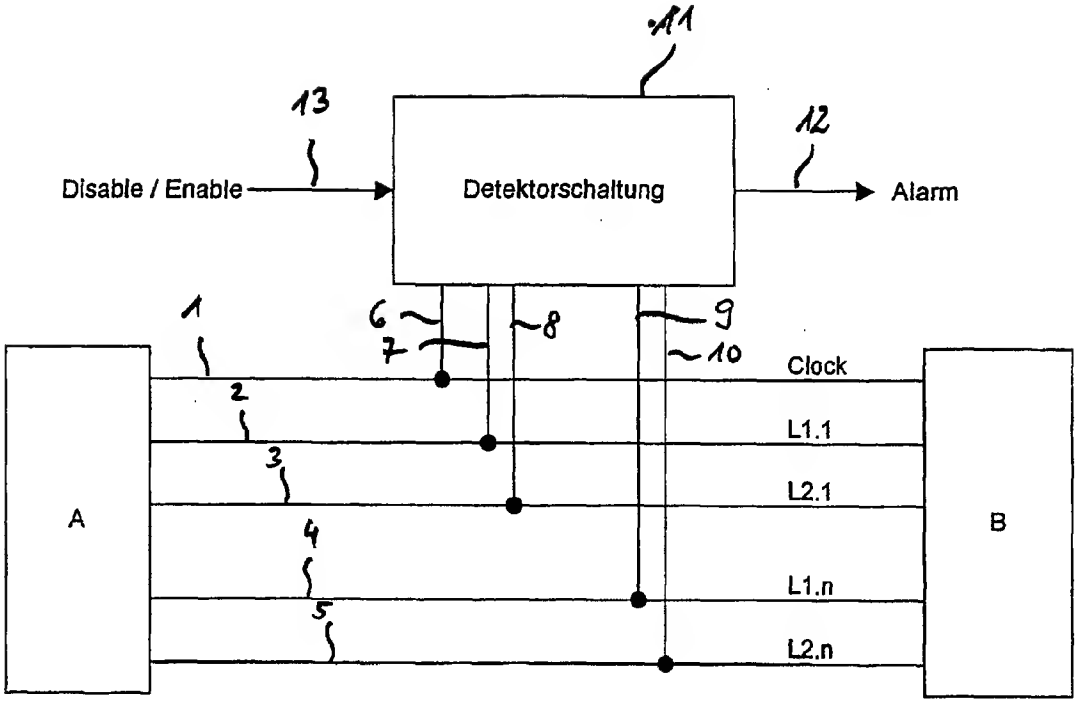


Fig. 1

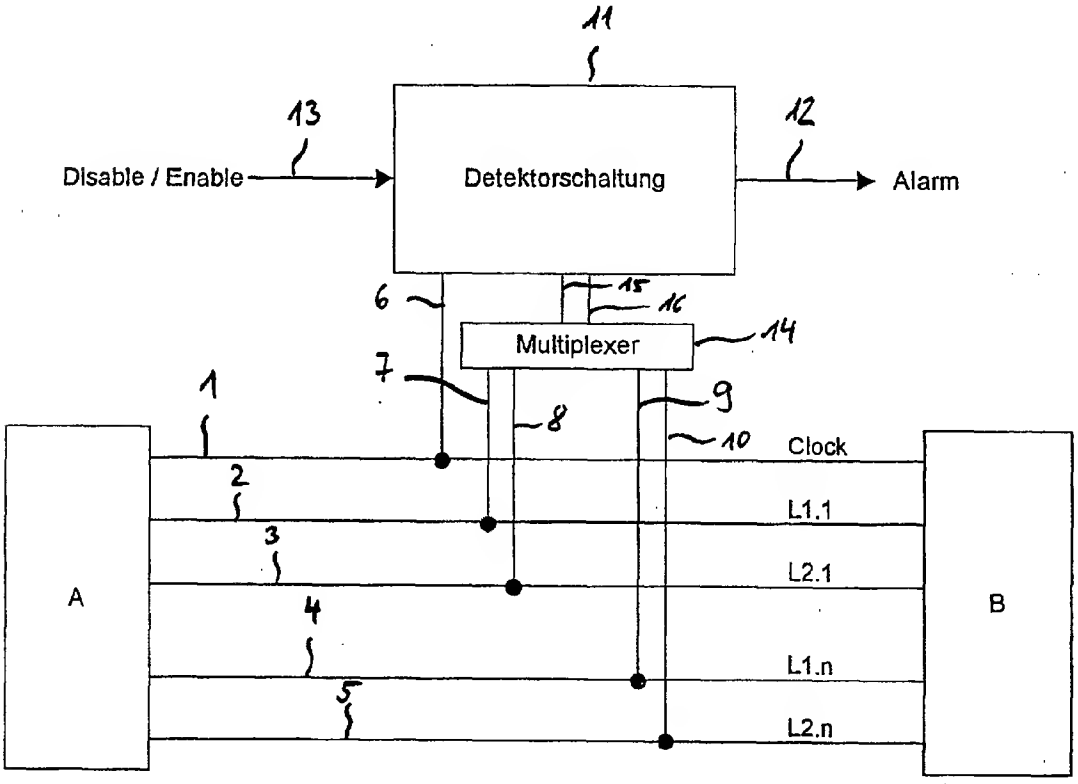


Fig. 2

Nummer: DE 100 44 837 C1
Int. Cl.[7]: G 06 F 12/14
Veröffentlichungstag: 13. September 2001

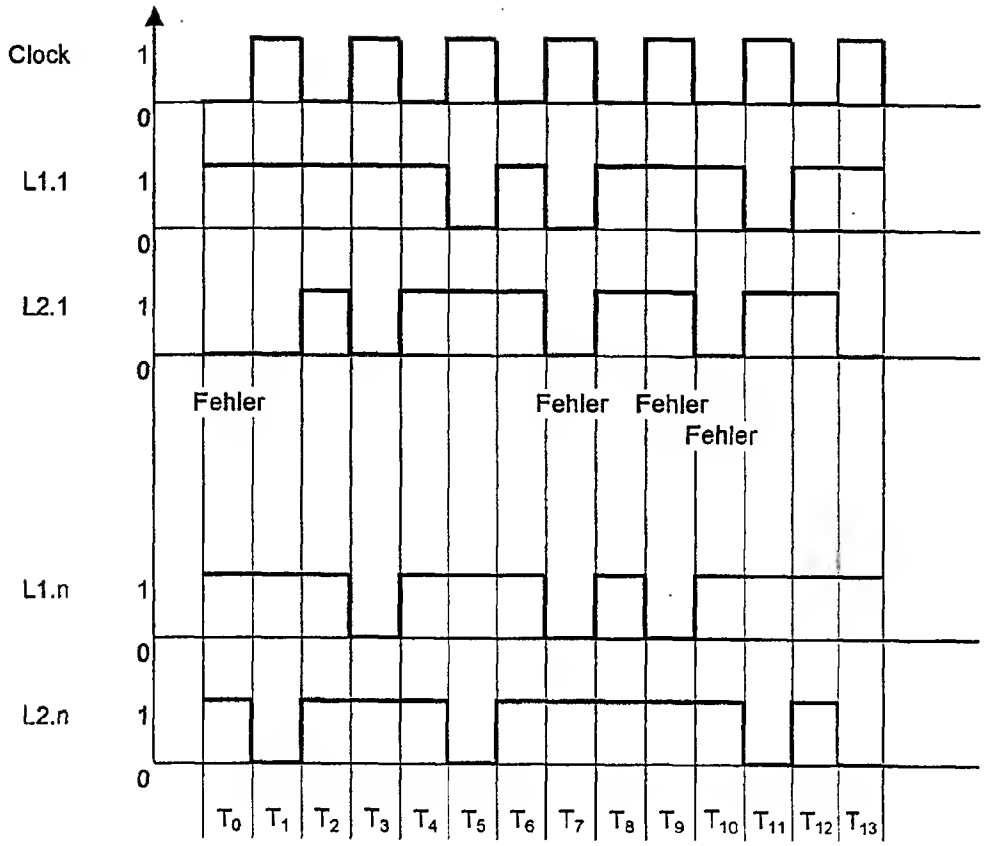


Fig. 3

Nummer: DE 100 44 837 C1
Int. Cl.[7]: G 06 F 12/14
Veröffentlichungstag: 13. September 2001

Zustands-Nr.	Clock	L1.k	L2.k	logischer Wert	
1	0	1	1	O.K.	
2	0	1	0	verbotener Zustand	
3	0	0	1	verbotener Zustand	
4	0	0	0	verbotener Zustand	
5	1	1	1	verbotener Zustand	
6	1	1	0	0	1
7	1	0	1	1	0
8	1	0	0	verbotener Zustand	

k = 1 bis n

Fig. 4

Zustands-Nr.	Clock	L1.k	L2.k	logischer Wert	
1	0	1	1	verbotener Zustand	
2	0	1	0	verbotener Zustand	
3	0	0	1	verbotener Zustand	
4	0	0	0	O.K.	
5	1	1	1	verbotener Zustand	
6	1	1	0	0	1
7	1	0	1	1	0
8	1	0	0	verbotener Zustand	

k = 1 bis n

Fig. 5

Nummer: DE 100 44 837 C1
Int. Cl.[7]: G 06 F 12/14
Veröffentlichungstag: 13. September 2001

Zustands-Nr.	Clock	L1.k	L2.k	logischer Wert	
1	1	1	1	O.K.	
2	1	1	0	verbotener Zustand	
3	1	0	1	verbotener Zustand	
4	1	0	0	verbotener Zustand	
5	0	1	1	verbotener Zustand	
6	0	1	0	0	1
7	0	0	1	1	0
8	0	0	0	verbotener Zustand	

k = 1 bis n

Fig. 6

Zustands-Nr.	Clock	L1.k	L2.k	logischer Wert	
1	1	1	1	verbotener Zustand	
2	1	1	0	verbotener Zustand	
3	1	0	1	verbotener Zustand	
4	1	0	0	O.K.	
5	0	1	1	verbotener Zustand	
6	0	1	0	0	1
7	0	0	1	1	0
8	0	0	0	verbotener Zustand	

k = 1 bis n

Fig. 7